



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06013382 A**(43) Date of publication of application: **21.01.94**

(51) Int. Cl.

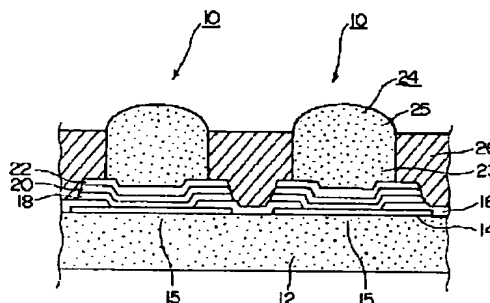
H01L 21/321
H01L 21/60
(21) Application number: **04188930**(22) Date of filing: **24.06.92**(71) Applicant: **SONY CORP**
(72) Inventor: **NAKAMURA TOSHIFUMI**
TAKAMIZAWA YUTAKA
OGAWA MICHIKO
(54) BUMP STRUCTURE OF IC SEMICONDUCTOR
DEVICE AND ITS FORMING METHOD

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To mount bumps to specified height on a circuit board with high reliability without having crumbling, sagging, etc.

CONSTITUTION: Bumps 24 formed on electrodes 13 for bumps are exposed only at their tip parts 25, and the remaining parts 23 are surrounded by a resist layer 26 at their peripheral parts. A method of forming bumps on an IC semiconductor device is the following. Barrier metals are formed at electrode parts for bumps of a wiring layer, and resist of specified thickness is formed at parts other than the electrodes for bumps, and bumps are formed on the barrier metals leaving the resist unremoved at the parts other than the electrodes for bumps. This bump structure suppresses the generation of deformations such as crumbling and sagging of the bumps, solder flowing over the bumps, etc. Accordingly, this structure is optimum for flip chip mounting of IC semiconductor devices on a circuit board.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13382

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

H 0 1 L 21/321

21/60

識別記号

3 1 1 Q 6918-4M

9168-4M

9168-4M

F I

H 0 1 L 21/ 92

技術表示箇所

C

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号

特願平4-188930

(22)出願日

平成4年(1992)6月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中村 利文

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 高見沢 裕

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 小川 美智子

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

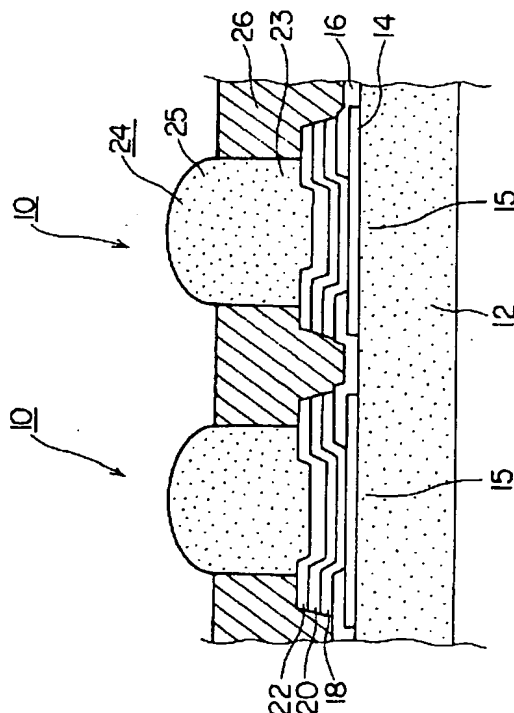
(74)代理人 弁理士 高橋 光男

(54)【発明の名称】 IC半導体装置の bumps 構造及びその形成方法

(57)【要約】

【目的】 クズレ、ダレ等を生じることなく、回路基板に高いボンディング信頼性で実装できる、所望の高さの bumps を有する IC 半導体装置の bumps 構造及びその形成方法を提供する。

【構成】 bumps 用電極 13 上に形成された bumps 24 は、頂部 25 のみを露出してその他の残部 23 は、レジスト層 26 によりその周囲が包囲されている。IC 半導体装置に bumps を形成する方法は、配線層の bumps 部用電極部分にバリアメタルを形成し、bumps 部用電極以外の部分にレジストを所定厚さ形成し、bumps 部用電極以外の部分にレジストを残したまま、バリアメタル上に bumps を形成する。本発明に係る bumps 構造では、クズレ、ダレ、及び半田の流れ等の形態変形が、bumps に発生するのを抑制されている。よって、本発明に係る bumps 構造は、回路基板上に IC 半導体装置をフリップチップ実装に最適である。



【特許請求の範囲】

【請求項1】 IC半導体装置の所要部分に回路基板に実装するためのバンプ部用電極を有し、該バンプ部用電極にバンプを形成したIC半導体装置のバンプ構造において、少なくともバンプ部用電極周辺には前記バンプを囲んで所要高さバンプを突出させるようにレジスト部が形成されていることを特徴とするIC半導体装置のバンプ構造。

【請求項2】 前記バンプ部用電極と前記バンプの間にバリアメタルが形成されていることを特徴とする請求項1記載のIC半導体装置のバンプ構造。

【請求項3】 IC半導体装置の所要部分に回路基板に実装するためのバンプ部用電極を形成し、該バンプ部用電極にバンプを形成するIC半導体装置のバンプ形成方法において、

バンプ部用電極にバリアメタルを形成し、前記バンプ部用電極以外の部分にレジストを所定厚さ形成し、

前記バンプ部形成用電極以外にレジストを残したまま、前記バリアメタル上にバンプを形成したことを特徴とするIC半導体装置のバンプ形成方法。

【請求項4】 前記レジストは20～70 μ mの厚さに形成されることを特徴とする請求項3記載のIC半導体装置のバンプ形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IC半導体装置のバンプ構造及びその形成方法に関し、詳しくは、IC半導体装置（以下単にICと言う）を回路基板に実装するためのバンプ構造の改良及び改良されたバンプ構造の形成方法に関する。

【0002】

【従来の技術】従来のICのバンプ構造10'では、バンプが、図8に示す通り、バンプ用電極上に個々に突出した自立形態で設けられている。図8を参照して、従来のICのバンプ構造10'及びその形成方法を示す説明する。図中、Si基板12には、所定の回路（図示せず）がフォトリソグラフィ、イオン注入技術等によって形成されている。このSi基板12上には、所定のパターンに形成されたアルミニウム（Al）配線層14が配されて、Si基板12に形成された回路の所定部分を夫々接続している。

【0003】従来のバンプ形成方法では、先ず電気絶縁層としてSiO₂層16をAl配線層14上に形成する。次に、Al配線層14のバンプ部形成領域をSiO₂層から露出させるために、その部分のSiO₂層16をエッチングして除去し、バンプ用電極を形成するための窓（開口部）を形成する。次いで、Al配線層14のSiO₂層から露出したバンプ部形成領域及びSiO₂層上にTi層18、Cu層20、及びNi層22の3層からなるバリ

アメタル層を蒸着若しくはスパッタリング等によって順次形成する。次に、バリアメタル層上にレジスト層（図示せず）を所定の厚みに塗布する。

【0004】続いて、バンプ部用電極上のレジスト層を除去して凹部を形成し、その凹部にメッキ等によってほぼレジスト層の厚みと同じ厚みに半田を充填して半田バンプ24'を形成する。充填された半田バンプ24'は、レジスト層中に島状に存在する。更に、この半田バンプ24'をマスクにして半田バンプ24'の周囲のレジスト層、及びバリアメタル層18、20、22をエッチングによって除去する。かくして、半田バンプ24'、バリアメタル層18、20、22及びAl配線層14からなるバンプ構造10'が、バンプ部用電極の上部に形成される。

【0005】

【発明が解決しようとする課題】ところで、ICをフリップチップボンディング等によって回路基板にフリップチップ実装するに当たり、熱サイクルに対するボンディングの信頼性を確保するためには、バンプがSi基板面よりも充分に高く突出していることが必要である。それは、半田接続の高さを高くすることにより、フリップチップと回路基板との熱膨張係数の差で生じる熱疲労による不良の発生を抑える効果があり、接続の信頼性を向上させることが可能となるからである。しかし、上述した従来のバンプ構造では、バンプがそれぞれ柱状に各々自立して形成されているため、バンプの高さを高くしようとすると以下に挙げるような種々の問題が派生した。第1には、実装時において、高くした半田バンプは、加熱されると、図8の破線で示すように、半導体ベレットの重量により座屈して崩れ、或いは半田だれ等を生じ、ボンディングの信頼性自体、更には半導体装置の品質に支障を来していた。

【0006】第2には、ICの高集積化を図るには、バンプをファインピッチで形成せざる得ないが、半田バンプの高さを高くすることによって生じる半田バンプの崩れ、或いは半田ダレのために、所謂ブリッジが生じて短絡し、バンプのファインピッチ化には、限界があり、そのためICの高集積化実現が阻害されていた。第3には、半田バンプの崩れ、或いは半田だれのために、ボンディング時にボンディング樹脂がバンプ間に隙間なく進入することが難しく、耐湿性に劣り、例えば内部に空隙ができてこれに湿気等が侵入し、IC部品の電気絶縁性を劣化させると言う問題もあった。

【0007】本発明は、上記に鑑み、崩れ、ダレ等を生じることなく、高いボンディング信頼性で回路基板に実装できるバンプを備えたIC半導体装置のバンプ構造及びその形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明者は、バンプを高くすると、実装時に崩れるのは、加熱されて機械的強度

が不足し、そのため座屈することに原因があると考え、研究と実験を重ねた末、本発明を発明するに至った。上記目的を達成するために、本発明に係るIC半導体装置のバンパ構造は、IC半導体装置の所要部分に回路基板に実装するためのバンパ部用電極を有し、該バンパ部用電極にバンパを形成したIC半導体装置のバンパ構造において、少なくともバンパ部用電極周辺には前記バンパを囲んで所要高さバンパを突出させるようにレジスト部が形成されていることを特徴としている。

【0009】レジスト層から上に突出しているバンパの部分は、回路基板の電極と溶着すべきバンパの頂部のみである。その高さは、IC半導体装置の種類、実装の方式、実装する回路基板等に応じて適宜定められるべきものである。バンパの大部分は、レジスト層により取り囲まれていて、それにより、バンパは、機械的に補強された形態で支持されており、半田崩れ、ダレ、或いは溶融半田の流出等が生じない。レジスト層を形成する材料としては、IC半導体装置の製作にあたって一般に採用されているフォトリソ材料の何れを採用してもよいが、吸湿性が少く絶縁性の良好なレジスト材料の採用が好ましい。本発明において、バンパの材料は、特に制約はなく、従来使用されている溶着用金属を使用でき、例えば共晶半田、或いは、SnとPbの比率が1:9の高融点半田等を使用する。バンパは、従来から常用の電気メッキ法等により形成されている。

【0010】上記バンパ構造において、バンパ部用電極とバンパとの間に、バリアメタル層を形成してバンパ用電極を半田バンパから保護することが好ましい。バリアメタル層を形成する金属には、特に限定は無いが、例えばTi、Cu、Ni等を使用することができる。本発明のIC半導体装置のバンパ構造は、フェイスダウンボンディング、フリップチップボンディング等によって回路基板への実装が行われるIC半導体装置に特に適している。

【0011】また、本発明のIC半導体装置のバンパの形成方法は、IC半導体装置の所要部分に回路基板に実装するためのバンパ部用電極を形成し、該バンパ部用電極にバンパを形成するIC半導体装置のバンパ形成方法において、バンパ部用電極にバリアメタルを形成し、前記バンパ部用電極以外の部分にレジストを所定厚さに形成し、前記バンパ部用電極以外にレジストを残したまま、前記バリアメタル上にバンパを形成したことを特徴とするものである。ここで、レジスト層の厚みは、半田バンパの高さと関連で定められるべきもので、レジスト層の上面がバンパの溶着頂部を露出させるような高さに定める。一般には、例えばこの厚みは、20~70 μ mとすることが出来る。

【0012】本発明のIC半導体装置のバンパ構造によると、バンパは、溶着頂部を残してその周囲をレジスト層により取り囲まれているので、バンパの機械的強度が

レジスト層によって補強されている。かかるバンパ構造により、回路基板への実装時の信頼性を確保するためにバンパを高く形成しても、崩れやダレ等が生じず、更に、バンパのリフロー時に半田の流れも生じない。従って、バンパのファインピッチ化が可能となる。また、本発明のIC半導体装置のバンパ構造の形成方法は、本発明に係るIC半導体装置のバンパ構造を従来の装置を使用して効率良く製作することができる。

【0013】

10 【実施例】以下に、添付図面、図1から図7を参照して実施例に基づき本発明をより詳細に説明する。尚、図1から図8において、前述した図8に示されていた部品、部材と同じ機能を果たすものには、同じ符号を付している。図1は、本発明のIC半導体装置（以下簡単のためICと言う）のバンパ構造の実施例10の断面図である。同図において、Si基板上12には、ICの所定の回路素子（図示せず）が多数形成されており、更に、Si基板12上には、Al配線層14が、Si基板12に設けられた各回路素子の各部を相互に接続するための配線として、スパッタリング或いは蒸着等によって所定パターンに形成されている。

【0014】Al配線層14は、バンパ部用電極を構成する領域15を除いて、SiO₂膜16によって被覆されている。SiO₂膜から露出してバンパ部用電極を構成する領域15は、SiO₂膜に開口した長方形若しくは正形状の窓として形成されている。バンパ部用電極の上には、バリアメタル層18、20、22及びバンパ24が形成されていて、バンパ部を構成している。バリアメタル層は、バンパ部用電極を構成するAl配線層14を半田バンパ24から保護するためにSiO₂膜16に開口している凹部の形状に沿って、開口部よりも僅かに外方にまで延在し、最下層でAl配線層14に電気的に接続されている。バリアメタル層は、下層から数えて、順次、第1層、第2層、及び第3層として形成されたTi層18、Cu層20、及びNi層22から構成されている。なお、バリアメタルを構成する材料及び各層の形成順序は、この例に限るものではなく、種々に変更可能である。

40 【0015】第3層のNi層22の上にはバンパ24が設けられている。バンパ24は、その下部で凹部状に形成されたNi層22に電気的に接しており、そこから四角柱23を成して上方に突出している。その頂部25は、半球状になっていて、実装すべき回路基板の電極との溶着部となる。レジスト層26は、ほぼバンパ24の頂部25のみを露出させて、頂部25と四角柱23との形状変更線から下方に基板12上面に形成されたSi層16まで、各バンパ24の周囲を囲んで厚く形成されている。この実施例の場合には、バンパ24は、例えば共晶半田、或いは、SnとPbの比率が1:9の高融点半田等にてメッキ法により形成されている。

5

【0016】バンプ24は、上述の如くその頂部25を残してレジスト層26に埋没しているため、実装時の加熱により半田バンプが溶けて、バンプ24の頂部から下方に向かう機械的な応力を受けた場合にも崩れ、ダレ等の変形が生じ難く、レジスト層26及びバンプ24自身がこの機械的な応力を支えるのに適した構造をしている。従って、本実施例のバンプ構造10では、ICの回路基板への実装時における信頼性を確保するためにバンプ24を所望の高さに高くしても、実装時に生ずる荷重に充分耐えることができ、バンプ24に崩れやダレが生ずるおそれはない。また、溶融するバンプ部分は、ほぼ露出した頂部のみであるから、半田のリフロー時に半田が周囲に流れ出すおそれもない。従って、従来のバンプ構造に較べて、バンプの形成ピッチを短くすることができ、バンプの配置密度を高めてICの集積度を上げることが可能となる。バンプの崩れ、ダレが生じないので、ポッティング樹脂の充填不良等による耐湿上の問題も生じない。

【0017】図2～図6は、本発明に係るICのバンプ構造の形成方法を示すために各工程毎のバンプ構造の断面を示している。図2は、本発明に係るバンプ構造が形成される前段階の半導体ペレットを断面図として示している。半導体ペレットは、特に従来のものと変わるところは無く、Si基板12には、既に所定の回路構造（図示せず）が形成されており、その上には、A1配線層14、及びSiO₂膜16が所定のパターンで形成されている。SiO₂膜16には、開口した窓28が、A1配線層14のバンプ用電極領域に形成されており、窓28から上方に露出したA1配線層14の部分がバンプ部用電極を構成する。

【0018】図3に示すように、窓28から上方に露出したA1配線層14の領域及びSiO₂膜16上に、従来から常用している蒸着法若しくはスパッタリング法によって既知の条件の下に3層からなるバリアメタル層、即ちTi層18、Cu層20、及びNi層22を順次所望の厚さに形成する。尚、Ni層22を省略することも可能である。次いで、図4に示すように、前の工程で形成したTi層18、Cu層20、及びNi層22のうち、バンプ部用電極上に形成されたバリアメタル層部分29を除いたバリアメタル層を常用のフォトリソプロセスによりエッチングして除去する。かくして、バリアメタル層のうち、バンプ部用電極上に形成されたバリアメタル層部分のみが残留し、それ以外の部分30では、SiO₂層16が露出する。

【0019】次に、図4に示すように処理されたIC上にフォトリソレジスト層26を所定の厚み、一般には、20～70μm程度の厚みで一様に常用の方法で塗布する。フォトリソレジスト層26の材料としては、例えば、ドライフィル或いはコート樹脂等電気絶縁性が良好な材料を使用する。続いて、Ni層22上のバンプ24を形成すべ

6

き領域から、レジスト層26を常用のフォトリソプロセスによって除去する。かくして、図5に示すように、底部にNi層22を露出させている凹部32が点的に形成される。

【0020】次に、レジスト層26に形成された凹部32内に電気メッキ法によって半田を充填して、図6に示すように、Ni層22の上に半田バンプ24をレジスト層26の上面に達し更にこれよりも高くように形成する。最後に、半田の融点以上の温度となるように半田バンプ24を加熱すると、バンプ24は表面張力により頂部が丸くなって固化し、図1に示すような本発明に係るバンプ構造が形成される。

【0021】上記実施例方法においては、電気メッキ法によってバンプを形成する際にメッキ引出電極34を使用する。図8は、メッキ引出電極34を示すウエハの一部の平面図であって、隣接する2つのICチップ36が示されている。同図に示したように、ウエハ上には、電気メッキ法によってバンプを形成した際のメッキ引出電極34が各バンプ部10を結んで形成されている。バンプが形成された後に、このメッキ引出電極34をレーザー等によって或いはエッチングによって除去する。

【0022】なお、上記実施例において説明したバンプ構造及び、これに使用される材料並びに本発明のバンプ構造の形成方法は、いずれも単に例示的なものであり、本発明のバンプ構造及びその形成方法は、上記実施例の構成のみに限定されるものではない。

【0023】

【発明の効果】以上説明したように、本発明のICのバンプ構造によると、バンプは、その頂部のみを露出しており、頂部より下方の残部は、その周囲がレジスト層により包囲されているので、バンプを所望の高さに高くしても、リフロー時、崩れ、ダレ等のバンプの変形が生じないし、またリフロー時に過剰な半田が流れ出ることもない。本発明に係るバンプ構造は、フリップチップ実装用ICに特に適したバンプ構造であって、バンプを所望の高さに高くすることにより、ICのフリップチップ実装時のボンディングの信頼性を確保し、ICの実装時の歩留りを向上させることができる。リフロー時、半田バンプの崩れ、ダレが生じないので、ポッティング時、封止用樹脂が隅まで進入して耐湿性を向上させる。更に、バンプをファインピッチに配置することが可能であるので、ICの高集積化を図ることが出来る。本発明に係るICのバンプの形成方法は、常用の手段と装置により簡便にかつ能率良く、上述の利点を有する本発明に係るバンプ構造をIC上に形成することが可能である。

【図面の簡単な説明】

【図1】本発明に係るICのバンプ構造の一実施例の断面図である。

【図2】図1に示すバンプ構造の形成方法において、最初の工程を経たICペレットの断面図である。

7

8

【図3】図1に示すバンプ構造の形成方法において、図2に示す工程の次の工程を経たICペレットの断面図である。

【図4】図1に示すバンプ構造の形成方法において、図3に示す工程の次の工程を経たICペレットの断面図である。

【図5】図1に示すバンプ構造の形成方法において、図4に示す工程の次の工程を経たICペレットの断面図である。

【図6】図1に示すバンプ構造の形成方法において、図5に示す工程の次の工程を経たICペレットの断面図である。

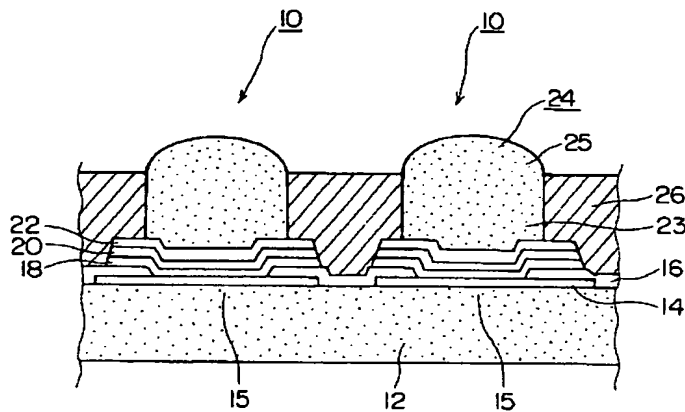
【図7】電気メッキ法によって形成される際に使用されるメッキ引出電極を示すウエハの一部平面図である。

【図8】従来のICのバンプ構造を示す断面図である。

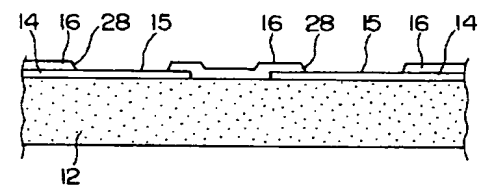
【符号の説明】

- 10 バンプ構造
- 12 Si基板
- 14 Al配線層
- 15 バンプ用電極
- 16 SiO₂膜
- 18 Ti層
- 20 Cu層
- 22 Ni層
- 24 半田バンプ
- 26 レジスト部
- 28 窓
- 29 バンプ部用電極上に形成されたバリアメタル層部分
- 30 バンプ部用電極上に形成されたバリアメタル層部分以外の部分

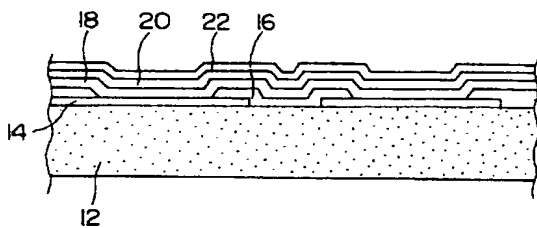
【図1】



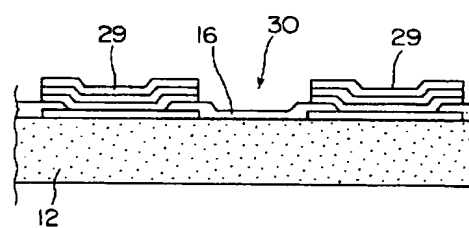
【図2】



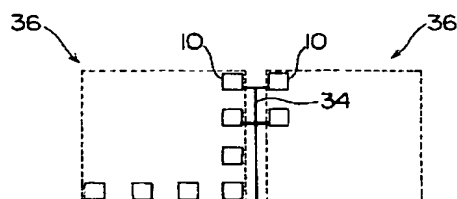
【図3】



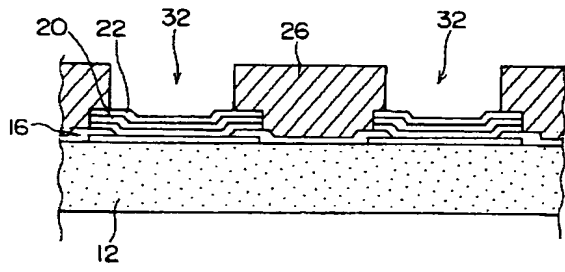
【図4】



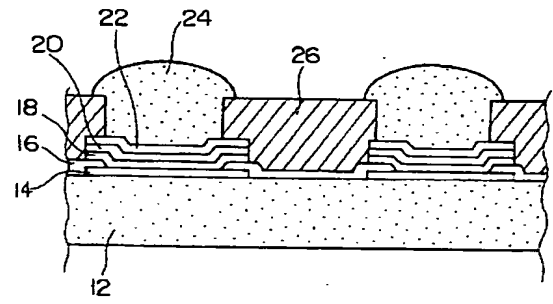
【図7】



【図5】



【図6】



【図8】

